

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-236029

(43)Date of publication of application : 29.08.2000

(51)Int.Cl. H01L 21/8244
 H01L 27/11
 G11C 11/41
 H01L 21/3205

(21)Application number : 2000-029413 (71)Applicant : LUCENT TECHNOL INC
 (22)Date of filing : 07.02.2000 (72)Inventor : O'CONNOR KEVIN JOHN

(30)Priority

Priority number : 99 247633 Priority date : 10.02.1999 Priority country : US

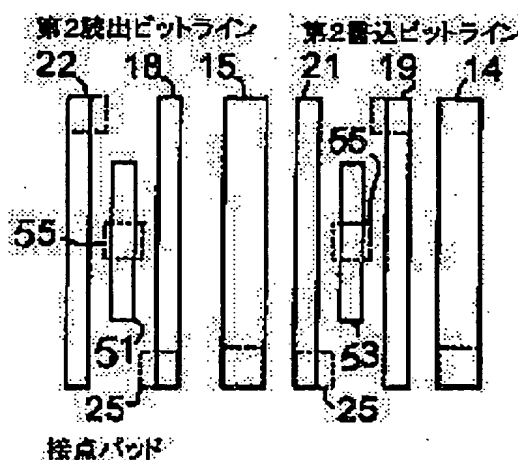
(54) MEMORY CELL WITH PLANE-LIKE ACCESS LINE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce capacitive coupling between access lines by sealing a bit line by a runner of a fixed voltage and connecting the runner to a ground voltage or a power supply voltage through mutual connection between levels.

SOLUTION: A shield runner is applied between bit lines which are most susceptible to capacitive coupling and the shield runner is maintained at a fixed potential (such as VDD or VSS). An applied bit line shield 51 functions as a shield between a second read bit line 22 and a first write bit line 18, and another bit line shield 53 functions as a shield between a first read bit line 19 and a second write bit line 21.

Therefore, no extra treatment step is required for forming the shield runners 51, 53. The shield runners 51, 53 can be interconnected between VDD or VSS levels by a contact pad 55.



LEGAL STATUS

[Date of request for examination] 30.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-236029

(P2000-236029A)

(43)公開日 平成12年8月29日(2000.8.29)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 21/8244		H 0 1 L 27/10	3 8 1
27/11		G 1 1 C 11/34	K
G 1 1 C 11/41			3 4 5
H 0 1 L 21/3205		H 0 1 L 21/88	S

審査請求 未請求 請求項の数6 O L (全 5 頁)

(21)出願番号	特願2000-29413(P2000-29413)	(71)出願人	596077259 ルーセント テクノロジーズ インコーポ レイテッド Lucent Technologies Inc. アメリカ合衆国 07974 ニュージャージ ー、マレーヒル、マウンテン アベニュー 600-700
(22)出願日	平成12年2月7日(2000.2.7)	(72)発明者	ケビン ジョン オコナー アメリカ合衆国、08833 ニュージャージ ー、レバノン、クリスタル ドライブ 1
(31)優先権主張番号	09/247633	(74)代理人	100081053 弁理士 三俣 弘文
(32)優先日	平成11年2月10日(1999.2.10)		
(33)優先権主張国	米国 (US)		

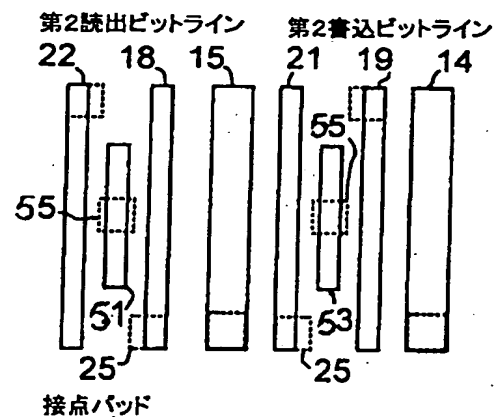
最終頁に続く

(54)【発明の名称】 平面状にアクセスラインを具備したメモリセル

(57)【要約】

【課題】 アクセスライン(例:ビットライン)間の容量性結合を低減した二重ポートSRAMを提供する。

【解決手段】 本発明は、ビットライン22と18、21と19間を一定電圧のシールド用ランナー51、53でシールドする。このシールド用ランナー51、53は、レベル間の相互接続を介して接地電圧あるいは電源電圧に接続される。ワードライン11、12もまた同様な方法によりシールドされる。



【特許請求の範囲】

【請求項1】 (A) 平面上をx方向にのびる読出用ワードライン(11)および書込用ワードライン(12)と、

(B) 同平面上を前記x方向にほぼ直交するy方向にのびる、一対の書込用ビットライン(18, 21)および一対の読出用ビットライン(19, 22)と、
前記の少なくとも1つの書込用ビットラインは、前記読出用ビットラインの1つに隣接し、

(C) 前記書込用ビットライン(18, 21)と読出用ビットライン(19, 22)の間にのびるシールド用ランナー(51, 53)と、

(D) 前記シールド用ランナー(51, 53)を固定電位(VDD, VSS)に接続する手段(55)とを有することを特徴とする平面状にアクセスラインを具備したメモリセル。

【請求項2】 前記固定電位は、電源電圧(VDD)であることを特徴とする請求項1記載のメモリセル。

【請求項3】 前記固定電位は、接地電位(VSS)であることを特徴とする請求項1記載のメモリセル。

【請求項4】 前記シールド用ランナー(51, 53)は、前記読出用ビットラインの50%以上の長さに沿ってのびることを特徴とする請求項1記載のメモリセル。

【請求項5】 (E) 前記読出用ワードライン(11)と書込用ワードライン(11)の間にのびるワードラインのシールド用ランナー(41)と、

(F) 前記ワードラインのシールド用ランナー(41)を、固定電位に接続する手段とをさらに有することを特徴とする請求項1記載のメモリセル。

【請求項6】 (A) 平面上をx方向にのびる少なくとも1つのビットライン(18, 19, 21, 22)と、

(B) 同平面上を前記x方向にほぼ直交するy方向にのびる読出用ワードライン(11)および書込用ワードライン(12)と、

(C) 前記読出用ワードライン(11)と書込用ワードライン(12)の間にのびるシールド用ランナー(41)と、

(D) 前記シールド用ランナーを固定電位に接続する手段とを有することを特徴とする平面状にアクセスラインを具備したメモリセル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、RAMデバイスに関し、特に複数のアクセスライン対を具備する、マルチポートのSRAMデバイスに関する。

【0002】

【従来の技術】 二重ポートのSRAMセルが従来のSRAMデバイスと異なる点は、第2の読出または書込(またはその両方)用のバスがセルに接続できるよう設計された第2の組のアクセスデバイス(例: トランジスタ)

を有する点である。セルは、シリコン基板と同一レベル上に配置されたすべてのアクセスデバイスと同一平面状にある。これは、各セルに対しすべての相互接続の少なくとも一部が共通の相互接続レベルを占有する必要があることを意味する。デバイスが小さくなるにつれて、導体間のスペースも小さくなり、その結果ランナー(導体)間のクロストークが設計上問題となっている。この問題は同一セル領域内に、第2の対のアクセスランナーを有するデュアルポートデバイスにおいて特に顕著である。

【0003】 通常の二重ポートSRAMにおいては、この第2の対のアクセスラインはビットラインである。このセルに対する相互接続構造のレイアウトは、セルごとに4本のビットラインと2本のワードラインとを具備する点で非対称である。あるデザインルールで最小のセルサイズを維持するためには、4本のビットラインがもっとも近接して配置される。ワードラインは広がって配置され好ましくない容量性の相互作用は回避される。しかし、電気的な観点からすると、ビットライン間のスペースは、読出用のビットラインの電圧は比較的小さいが書込用ビットラインの電圧の振れは両方とも大きいため、必要とされる程広くはない。かくして好ましくない容量性結合にもっとも敏感なラインは、他のライン(通常書込用ビットライン)に近接して配置された読出用ビットラインである。

【0004】 二重ポートのSRAMにおいて、近接して配置されたランナー間の容量性結合を減らす手段により、セルの寸法の最適化が図られ設計の自由度が増す。

【0005】

【発明が解決しようとする課題】 本発明の目的は、アクセスライン間の容量性結合を低減した二重ポートSRAMを提供することである。このアクセスラインはビットラインである。

【0006】

【課題を解決するための手段】 本発明は、ビットラインを一定電圧のランナーでシールドする。このランナーは、レベル間の相互接続を介して接地電圧あるいは電源電圧に接続される。そのため、セル内では「デッドエンド」となっている。ワードラインもまた同様な方法によりシールドされる。

【0007】

【発明の実施の形態】 図1に、読出用ワードライン11と書込用ワードライン12とを具備するセルのレイアウトを示す。VDDは14でVSSは15で示される。第一対のビットラインは図の左側から第1書込ビットライン18と第1読出ビットライン19でアクセスされる。第2対のビットラインは、第2書込ビットライン21と第2読出ビットライン22で図の右側からアクセスされる。31~39は、8個のトランジスタを示す。同図においては、トランジスタ31、32は、pチャネルデバ

イスであり、残りのトランジスタ33~39は、 n チャネルデバイスである。これらのトランジスタの構造は従来公知のものであり、セルの設計もまた従来公知のものである。これらのセルの設計的特徴は詳述しないが、その理由は本発明は、セルの相互接続に関するものだからである。

【0008】図1の回路のセルのレイアウトを図2に示す。ビットラインとワードラインとVDDとVSSのラインの相互接続のみを示す。同図においてこれらの相互接続は、第2次と第3次の金属レベルで行われる。第0次の金属レベルは、ゲートレベルであり、第1次の金属レベルは、ソース/ドレインの相互接続レベルである。本発明の解決すべき問題は、第2次金属レベルで表れる。もっとも厳しい結合問題は、図2に示すようにビットラインで発生する。アクセスラインは、図1と同一番号を付している。接点パッド25が点線で示されている。第2読出ビットライン22と第1書込ビットライン18と第1読出ビットライン19と第2書込ビットライン21が容量性結合の影響をもっとも受けやすい。

【0009】これらの問題は本発明によれば、容量性結合の影響をもっとも受けやすいビットライン間に、シールド用ランナーを付加しこのシールド用ランナーを一定電位（例えばVDDまたはVSS）に維持することにより解決される。これを行うレイアウトを図3に示す。図3では図2と同一番号を用いた。かくして付加されたビットラインシールドは、51で示され、第2読出ビットライン22と第1書込ビットライン18との間のシールドとして機能し、別のビットラインシールド53は、第1読出ビットライン19と第2書込ビットライン21との間のシールドとして機能する。これらのシールド用ランナー51、53は、ビットラインと同一構造を有し、同一プロセスのステップを用いて、同一金属レベル上に形成される。

【0010】かくして、これらのシールド用ランナー51、53を形成するのに余分な処理ステップは必要とされない。接点用パッド55により、シールド用ランナー51、53をVDDまたはVSSへレベル間相互接続することが可能となる。VDDまたはVSSは、シールド用ランナー51、53に接続されたセル構造内の定電位である。しかし固定電位を有する他のノードも用いることができる。

【0011】図2と図3を比較すると、セルの寸法とセル全体の設計は変化していないことがわかる。多くのセルの設計においては、シールド用ランナー51、53のスペースは、セルのデザイン内に組み込まれている。すなわちビットラインは、デザインルールで許されるよりも間をあけて配置され、それによりライン間の過剰な容量性結合を回避している。このような場合ビットラインのスペースは、本発明のシールド用ランナー51、53を用いることにより小さくなる。

【0012】図面からわかるように、接点パッド55はデッドエンドのシールド用ランナー51、53を利用するため、再配置される。図に示された配置においては、隣接するビットライン18、19、21、22の50%以上がシールドされている。別法として、シールド用ランナー51、53は、ビットライン18、19、21、22の全長にわたって伸び、ビットライン全長をシールドしてもよい。

【0013】同様なアプローチを用いて、ワードライン11、12も電氣的にシールドすることができる。容量性結合の問題は、ワードラインのクロストークではあまり厳しくはないが、ある種の回路設計では、ワードラインにおいて本発明により利点がある。

【0014】比較のために標準のワードラインレイアウトを図4に示す。このレイアウトは、本発明の一実施例のデバイスの構造においては、第3次金属レベル用である。しかし必要によっては、アクセスラインの構造を反転して、ワードラインを第2次金属レベルに、ビットラインを第3次金属レベルにパターン化することもできる。図4で用いられた参照番号は、図1~3と同一部品を示す。

【0015】読出用ワードライン11は書込用ワードライン12に隣接しており、VDDバスは14で、VSSバスは15で示される。本発明によるワードライン11、12にシールドを施したものを図5に示し、同図においてはワードラインはVDDに接続されたシールド用ランナー41によりシールドされている。ワードラインの接点パッド42は、シールド用ランナーを収納し、効率的なレイアウトを提供するために修正が施されている。図5のセルの全体サイズは、図4のセルと同じである。

【0016】ビットライン電極間の相互キャパシタンスと、ビットラインから接地への全キャパシタンスを測定することにより、シールドされていないセル構造とシールドされたセル構造の結合キャパシタンスと負荷キャパシタンスの両方を比較することができる。

【0017】測定は、本発明の標準的なデバイスで、その大きさが13mm×14mmで、実際のものの約2200倍で、比誘電率Kが大きい流体を誘電媒体として用いて行った。この方法は、ブリッジ装置を用いて正確に比較測定を行うために十分すぎる以上のキャパシタンスの換算値を与える。エチレングリコールとグリセロールの両方を用いて参照用に測定を行った。これにより比誘電率が44（標準的な値に近い）となる。

【0018】この2つの条件は、第1次金属レベルと第2次金属レベルの層の下であるが接地基板より上のすべての層と構造体の影響を考慮に入れることを特徴とする。これは、接地面を効果的に上げるプレートを挿入することにより行われた。接地面はどこかに入らなければならない。これら2つの条件をnear条件とfar条

件とする。

* 効果（影響）とを表す。

【0019】以下の表1～3は、絶対測定値と相対的な*

表1 絶対測定値

	従来のセル (pf)		本発明のセル (pf)	
キャップ	f a r	n e a r	f a r	n e a r
全キャバ	26. 0	28. 0	28. 0	29. 5
相互キャバ	0. 65	0. 42	0. 34	0. 28

表2 絶対的な差 (pf)

キャップ	f a r	n e a r
全キャバ	2. 0	1. 5
相互キャバ	-0. 32	-0. 14

表3 相対的な差 (pf)

キャップ	f a r	n e a r
全キャバ	7. 7%	5. 4%
相互キャバ	-48. 5%	-33. 3%

【0020】表3から明らかなように、シールド用ランナーを加えることにより接地に対する全キャバシタンスの増加よりもはるかに大きな相互キャバシタンスの減少がみられる。この絶縁性の改良は、30～50%のオーダーである。全キャバシタンスの影響は、書込ビットラインのドライバの強度を増加させることにより容易に解決できる。読出用ビットラインの負荷の5～8%の増加は、読出バスの遅延が若干増加することあるいはセンス増幅器のゲインを増加させることになる。

【0021】本発明は、二重ポートのメモリデバイスを例に説明したが、マルチポートのデバイスすなわち3個以上のポートあるいは各セルに接続される3対以上のアクセスラインが有るようなものにも同様に適用できる。

【0022】本発明は、一対の隣接する導体に適用する場合に利点があり、その導体のうちの一方の導体は、セル駆動信号を搬送し（通常セル内にデータを書き込む）、他方の導体は、セル内のある状態を反映するセルからの信号を搬送する。これらの信号は大きく異なった信号強度を有し、有害なクロストークに感受性を有する。

【図面の簡単な説明】

【図1】二重ポートのSRAMの回路図。

【図2】標準のビットライン配置を示すSRAMセルのレイアウト図。

【図3】本発明の一実施例によるビットラインシールドを表すSRAMセルのレイアウト図。

【図4】標準のワードライン配置を表すSRAMセルのレイアウト図。

【図5】本発明によるワードラインシールドを表すSRAMセルのレイアウト図。

【符号の説明】

11 読出用ワードライン

12 書込用ワードライン

14 VDDバス

15 VSSバス

18 第1書込ビットライン

19 第1読出ビットライン

21 第2書込ビットライン

22 第2読出ビットライン

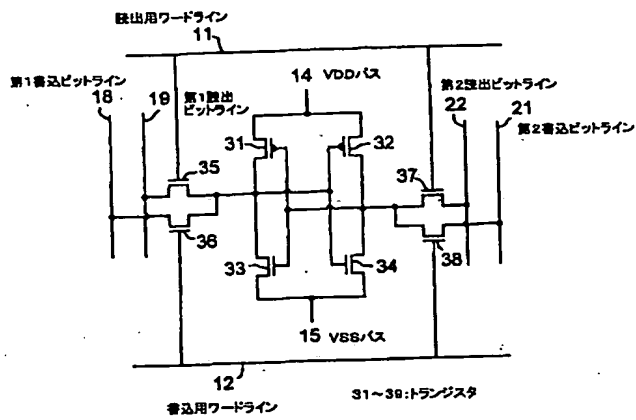
25、55 接点パッド

31～39 トランジスタ

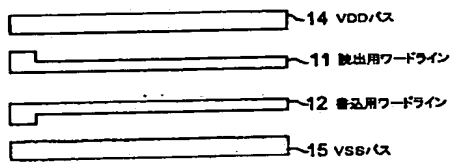
41、51、53 シールド用ランナー

42 ワードライン用接点パッド

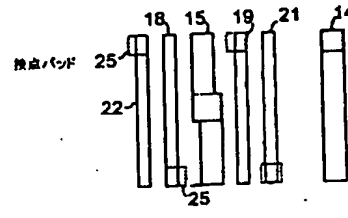
【図1】



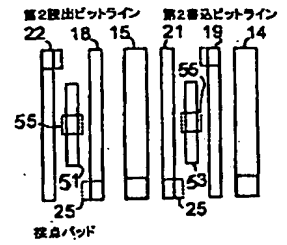
【図4】



【図2】



【図3】



【図5】



フロントページの続き

(71)出願人 596077259
600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636U. S. A.